

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-112244

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

H03F 3/181

(21)Application number : 09-274610

(71)Applicant : NEC CORP

(22)Date of filing : 07.10.1997

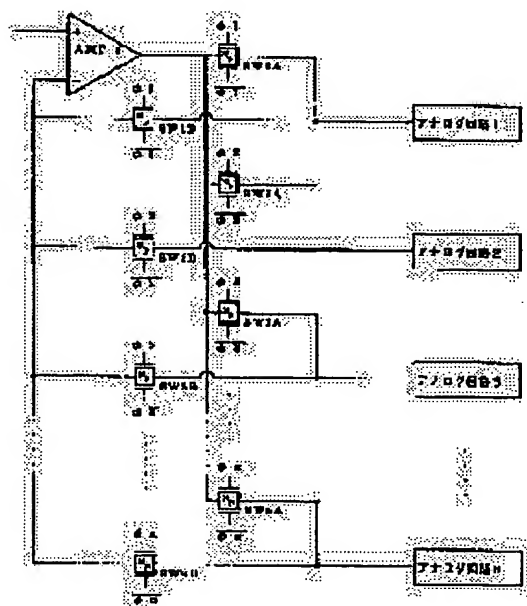
(72)Inventor : SAITO MASAFUMI
SAKON ATSUSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress fluctuation in the level of a signal to be inputted to an analog circuit without increasing cost.

SOLUTION: When a selection signal ϕ_{1} reaches a high level and a switch SW1A is closed, a switch SW1B is also closed. Thus, an output signal from an operational amplifier AMP1 is given to an analog circuit 1 through the switch SW1A. Simultaneously the signal at the input side of the analog circuit 1 is given to a noninverting input terminal of the operational amplifier AMP1 via the switch SW1B to form a feedback system. Thus, in the absence of the feedback system, even when there is much difference between an output impedance of the switch SW1A and an input impedance of the analog circuit 1, the level fluctuation of the signal given to the analog circuit 1 is suppressed by the feedback system.



LEGAL STATUS

[Date of request for examination] 07.10.1997

[Date of sending the examiner's decision of rejection] 25.09.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-112244

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.⁶

H 0 3 F 3/181

識別記号

F I

H 0 3 F 3/181

A

審査請求 有 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願平9-274610

(22) 出願日 平成9年(1997)10月7日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 齋藤 雅史

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 左近 篤

東京都港区芝五丁目7番1号 日本電気株式会社内

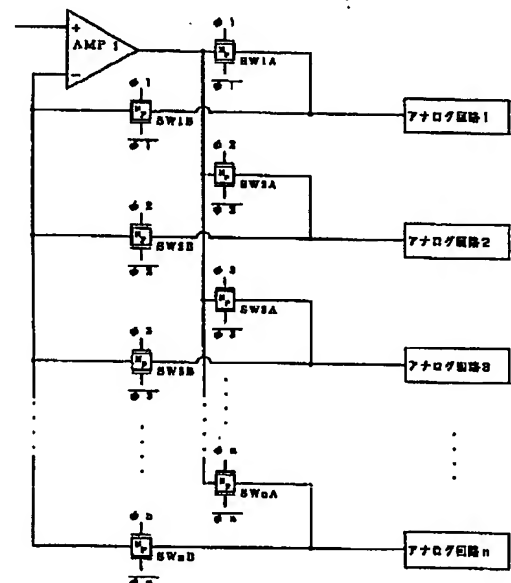
(74) 代理人 弁理士 鈴木 弘男

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 コストの増加を招くことなく、アナログ回路に入力される信号レベルの変動を抑えることである。

【解決手段】 選択信号φ1がハイレベルになって、スイッチSW1Aがオンになると、同時にスイッチSW1Bもオンになる。これにより、演算増幅器AMP1の出力信号はスイッチSW1Aを通過してアナログ回路1に入力される。これと同時に、アナログ回路1の入力側の信号はスイッチSW1Bを通過して演算増幅器AMP1の非反転入力端子に入力され、フィードバック系が形成される。これにより、前記フィードバック系がない場合に、スイッチSW1Aの出力インピーダンスとアナログ回路1の入力インピーダンスにかなりの差があっても、アナログ回路1に入力される信号のレベル変動を前記フィードバック系により抑えることができる。



【特許請求の範囲】

【請求項 1】 反転入力端子に信号を入力して増幅する演算増幅器と、

入力信号に対して各種処理を施す複数のアナログ回路と、

前記複数のアナログ回路の任意の 1 つを選択して、前記演算増幅器の出力信号を前記選択したアナログ回路に入力する選択回路と、

前記選択回路によって選択されたアナログ回路の入力信号を前記演算増幅器の非反転入力端子にフィードバックする選択フィードバック回路とを具備することを特徴とする半導体集積回路。

【請求項 2】 反転入力端子に信号を入力し、且つ任意に選択される複数の出力回路を有し、選択された出力回路から出力信号を出力する演算増幅器と、

前記演算増幅器からの複数の出力回路に 1 対 1 対応で接続され、入力信号に対して各種処理を施す複数のアナログ回路と、

前記演算増幅器の出力信号が出力される出力回路に接続されているアナログ回路の入力信号を前記演算増幅器の非反転入力端子にフィードバックする選択フィードバック回路とを具備することを特徴とする半導体集積回路。

【請求項 3】 前記演算増幅器の複数の出力回路の中で、信号が出力される出力回路以外の残りの出力回路はハイインピーダンスになることを特徴とする請求項 2 に記載の半導体集積回路。

【請求項 4】 演算増幅器と前記演算増幅器の出力とアナログ回路の入力間に接続された第 1 のスイッチと、前記演算増幅器の反転入力端子と前記アナログ回路の入力間に接続された第 2 のスイッチとを有し、

前記第 1 および第 2 のスイッチとアナログ回路は、任意数有し、選択信号により、前記第 1 および 1 2 のスイッチを制御し、任意数のアナログ回路のうち 1 つのアナログ回路に前記演算増幅器の出力を伝達することを特徴とする半導体集積回路。

【請求項 5】 演算増幅器と演算増幅器の出力に接続されたアナログ回路と、前記演算増幅器の反転入力端子と前記アナログ回路の入力間に接続された第 3 のスイッチとを有し、

前記第 3 のスイッチとアナログ回路と演算増幅器の出力は、任意数有し、選択信号により、前記第 3 のスイッチと前記演算増幅器の出力を制御し、任意数のアナログ回路のうち 1 つのアナログ回路に前記演算増幅器の出力を伝達することを特徴とする半導体集積回路。

【請求項 6】 上記演算増幅器はバイアス回路と差動増幅回路と任意数の出力回路を有し、

選択信号により前記出力回路を制御し、任意数の出力回路のうち 1 つの出力回路より信号出力し、他の出力回路の出力はハイインピーダンスになることを特徴とする請求項 5 に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に関し、演算増幅器とその演算増幅器の出力を他の複数の回路に選択出力する選択回路を有する半導体集積回路に関する。

【0002】

【従来の技術】従来、演算増幅器の出力を他の複数の回路に選択出力する選択回路を有する半導体集積回路の構成は例えば図 5 に示す如くである。

【0003】図 5 に示した半導体集積回路は、演算増幅器 AMP 1 と複数のアナログ回路 1 ～ n と複数のスイッチ SW 1 ～ SW n を有している。

【0004】複数のアナログ回路（アナログ回路 1、アナログ回路 2・・・アナログ回路 n）は特に図示していないが、例えば音声等のアナログ信号の処理部で、利得増幅器、アクティブフィルタ、スイッチトキャパシタフィルタ、A/D 変換器等により構成されている。

【0005】複数のスイッチ（SW 1、SW 2・・・SW n）は、CMOS トランジスタで構成され、選択信号（ $\phi 1 \sim \phi n$ 、 $\phi 1 \sim \phi n$ ： $\phi 1$ 、 $\phi 1$ 等は反転の関係にある）により、複数のスイッチ（SW 1、SW 2・・・SW n）のいずれかが導通する。

【0006】なお、本明細書中では反転信号を元信号にアンダーラインを付すことで示しているが、図面中では、一般的用いられているように、元信号にトップバーを付すことによって反転信号を示していることを注釈しておく。

【0007】次に図 5 に示した半導体集積回路の動作を説明する。選択信号（ $\phi 1 \sim \phi n$ ）のいずれかがハイレベルの時、そのスイッチは、オン状態となり、演算増幅器 AMP 1 の出力を次段のアナログ回路へ伝達する。他のスイッチは、オフ状態となり演算増幅器 AMP 1 の出力は、それらのアナログ回路へ伝達されず、前記スイッチがオンのアナログ回路 1 ～ n のいずれかに信号が伝達される。

【0008】アナログ信号を伝達する場合、前段のアナログブロックは低インピーダンス出力、次段のアナログブロックは、高インピーダンス入力望ましい。即ち、 $Z_{out} \ll Z_{in}$ の関係にあることが望ましい。但し、 Z_{out} は前段のアナログブロックの出力インピーダンスで、 Z_{in} は次段のアナログブロックの入力インピーダンスである。

【0009】この演算増幅器 AMP 1 のオープンループ利得を A とすると、演算増幅器 AMP 1 に入力されるレベルと次段のアナログ回路に入力される信号レベルの比は、以下のように計算される。

【0010】図 5 において、 Z_{out} は、SW 1 のインピーダンスにほぼ等しい。 Z_{in} は、アナログ回路の入

カインピーダンスとすると、図6は図7に示すような等価回路で表され、以下の関係が成り立つ。

$$V_{in} \cdot sw1 \div (Z_{in} + Z_{out}) = V_{out} \cdot sw1 \quad (1)$$

$$V_{out} \cdot sw1 \div V_{in} \cdot sw1 = Z_{in} \div (Z_{in} + Z_{out}) \quad (2)$$

ここで、図6に示すようにAmp10の+端子の入力を V_{in} 、Amp10の出力を V_{out} とすると、以下の式が成り立つ。

【0012】

$$(V_{in} - V_{out}) \times A = V_{out} A \quad (3)$$

$$V_{out} A \div V_{in} A = 1 \div \{1 + V \div A\} \quad (4)$$

ここで、 $V_{out} \cdot sw1 = V_{in} \cdot sw1$ であるから、(2)、(4)より、

$$LEVEL = (V_{out} \div V_{in} A) \times (V_{out} \cdot sw1 \div V_{in} sw1)$$

この式を変形して、 $LEVEL = \{1 \div (1 \div A + 1)\} \times Z_{in} \div (Z_{in} + Z_{out}) \quad (5)$ となる。この(5)式における第1項は、演算増幅器AMP1のオープンループ利得Aが有限であることにより生じる利得誤差、第2項は入力インピーダンス Z_{in} 、出力インピーダンス Z_{out} により生じる誤差である。

【0013】

【発明が解決しようとする課題】この従来の、演算増幅器AMP1の出力を他の複数個の回路に選択出力する選択回路(SW1~SWn)を有する半導体集積回路では、信号レベルに変動を生じるという問題点があった。即ち、スイッチ(SW1~SWn)は、オン状態で数kΩのインピーダンスを有しており、次段のアナログブロックの入カインピーダンスを十分大きくできない場合、信号レベルに変動を生じる。

【0014】例えば、スイッチ(SW1、SW2・・・SWn)のインピーダンス Z_{out} が5kΩ、次段のアナログブロックの入カインピーダンス Z_{in} を50kΩ、AMP1のオープンループ利得Aを1000倍とした場合、演算増幅器AMP1の入力レベルと次段のアナログ回路に入力される信号レベルの比は、(5)式より、

$$LEVEL = \{1 \div (1 \div 1000) + 1\} \times 50 \times 10^3 \div (50 \times 10^3 + 5 \times 10^3) = 0.999001 \times 0.909091$$

となり、演算増幅器AMP1の利得誤差で0.1%、入力インピーダンス Z_{in} 、出力インピーダンス Z_{out} の影響で約9%、合計で約9%の誤差が生じる。

【0015】この誤差を小さくするためには、 Z_{out} を小さくしなければならない。図5の場合、次段のアナログブロックの入カインピーダンスに対しスイッチ(SW1、SW2・・・SWn)は十分小さなインピーダンスにする必要があり、必然的にスイッチを形成するトランジスタのチャネル幅を大きくしなければならない。この結果、チップサイズの増加、即ちコストの増加を招くという問題点があった。

【0011】

【0016】上述した例において、入力インピーダンス Z_{in} 、出力インピーダンス Z_{out} の影響を0.1%にするためには、スイッチのインピーダンスを50Ωにする。即ち、スイッチ(SW1、SW2・・・SWn)を構成するトランジスタのチャネル幅を100倍にしなければならず、これらトランジスタの製造コストが非常に高くなってしまう。

【0017】本発明は、上述の如き従来の課題を解決するためになされたもので、コストの増加を招くことなく、アナログ回路に入力される信号レベルの変動を抑えることができる半導体集積回路を提供することである。

【0018】

【課題を解決するための手段】上記目的を達成するために、請求項1の発明は、反転入力端子に信号を入力して増幅する演算増幅器と、入力信号に対して各種処理を施す複数のアナログ回路と、前記複数のアナログ回路の任意の1つを選択して、前記演算増幅器の出力信号を前記選択したアナログ回路に入力する選択回路と、前記選択回路によって選択されたアナログ回路の入力信号を前記演算増幅器の非反転入力端子にフィードバックする選択フィードバック回路とを具備することを特徴とする。

【0019】このような構成により、選択回路が複数のアナログ回路の中の一つを選択すると、演算増幅器の出力は選択されたアナログ回路に入力される。これと共に、前記第2の選択フィードバック回路により前記選択されたアナログ回路の入力側が前記演算増幅器の非反転入力端子に接続されてフィードバック系が形成される。このフィードバック系により選択回路の出力インピーダンスとアナログ回路の入カインピーダンスとの間に大きな段差があっても、前記アナログ回路に入力される信号のレベル変動が抑えられる。

【0020】請求項2の発明は、反転入力端子に信号を入力し、且つ任意に選択される複数の出力回路を有し、選択された出力回路から出力信号を出力する演算増幅器と、前記演算増幅器からの複数の出力回路に1対1対応で接続され、入力信号に対して各種処理を施す複数のアナログ回路と、前記演算増幅器の出力信号が出力される出力回路に接続されているアナログ回路の入力信号を前記演算増幅器の非反転入力端子にフィードバックする選択フィードバック回路とを具備することを特徴とする。

【0021】このような構成により、演算増幅器の一つの出力回路が選択されて、この出力回路に接続されるアナログ回路に信号が入力されると、選択フィードバック回路により前記信号が入力されるアナログ回路の入力側が前記演算増幅器の非反転入力端子に接続されてフィードバック系が形成される。このフィードバック系により

演算増幅器の出力インピーダンスとアナログ回路の入力インピーダンスとの間に大きな段差があっても、前記アナログ回路に入力される信号のレベル変動が抑えられる。

【0022】請求項3の発明は、前記演算増幅器の複数の出力回路の中で、信号が出力される出力回路以外の残りの出力回路はハイインピーダンスになることを特徴とする。請求項4の発明は、演算増幅器と前記演算増幅器の出力とアナログ回路の入力間に接続された第1のスイッチと、前記演算増幅器の反転入力端子と前記アナログ回路の入力間に接続された第2のスイッチとを有し、前記第1および第2のスイッチとアナログ回路は、任意数有し、選択信号により、前記第1および第2のスイッチを制御し、任意数のアナログ回路のうち1つのアナログ回路に前記演算増幅器の出力を伝達することを特徴とする。

【0023】請求項5の発明は、演算増幅器と演算増幅器の出力に接続されたアナログ回路と、前記演算増幅器の反転入力端子と前記アナログ回路の入力間に接続された第3のスイッチとを有し、前記第3のスイッチとアナログ回路と演算増幅器の出力は、任意数有し、選択信号により、前記第3のスイッチと前記演算増幅器の出力を制御し、任意数のアナログ回路のうち1つのアナログ回路に前記演算増幅器の出力を伝達することを特徴とする。

【0024】請求項6の発明は、上記演算増幅器はバイアス回路と差動増幅回路と任意数の出力回路を有し、選択信号により前記出力回路を制御し、任意数の出力回路のうち1つの出力回路より信号出力し、他の出力回路の出力はハイインピーダンスになることを特徴とする。

【0025】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。図1は、本発明の半導体集積回路の第1の実施の形態の構成を示すブロック図である。本例の半導体集積回路は、演算増幅器AMP1の後段に、選択スイッチSW1A～SWnAを介してアナログ回路1～nを接続しており、又、前記演算増幅器AMP1の非反転入力端子を選択スイッチSW1B～SWnBを介して前記アナログ回路1～nの入力側に接続している。

$$V_a = V_{out} \cdot (Z_{out} + Z_{in}) \div Z_{in} \quad (8)$$

$$\text{一方、} (V_{in} - V_{out}) A = V_a \quad (9)$$

(8)を(9)式に代入する。

$$A V_{in} - A V_{out} = V_{out} \cdot Z_{out} \div Z_{in} + V_{out} \quad (10)$$

(10)式を変形すると、

$$V_{out} \div V_{in} = A \div \{ (Z_{out} \div Z_{in}) + 1 + A \} \quad (11)$$

となり、更に変形して、

$$= Z_{in} \div \{ (1 + A) \div A \} \times \{ Z_{out} \div (1 + A) + Z_{in} \} \quad (12)$$

となる。

【0033】 $V_{out} \div V_{in}$ はLEVELに相当するから、

但し、従来例を示した図5と同一箇所については同一符号を記し、説明は省略する。

【0026】この第1の実施例は、演算増幅器と複数のアナログ回路と複数のスイッチを有している。複数のアナログ回路（アナログ回路1、アナログ回路2・・・アナログ回路n）は特に図示していないが、例えば音声等のアナログ信号の処理部で、利得増幅器、アクティブフィルタ、スイッチトキャパシタフィルタ、A/D変換器等により構成されている。

【0027】複数のスイッチ（SW1A～SWnA、SW1B～SWnB）は、CMOSトランジスタで構成され、選択信号（ $\phi 1 \sim \phi n$ 、 $\phi 1 \sim \phi n$ ）により、複数のスイッチ（SW1A～SWnA、SW1B～SWnB）のうち1組が選択され、演算増幅器の帰還（フィードバック）ループを形成する。

【0028】次に図1に示した半導体集積回路の動作を説明する。選択信号（ $\phi 1 \sim \phi n$ ）のいずれかがハイレベルの時、そのスイッチは、オン状態となり演算増幅器AMP1の出力を次段のアナログ回路へ伝達する。他のスイッチは、オフ状態となり演算増幅器AMP1の出力は、これら次段のアナログ回路へ伝達されないため、結局、アナログ回路1～nのいずれかに信号が伝達される。

【0029】例えば、スイッチ（SW1A～SWnA、SW1B～SWnB）のインピーダンスを $Z_{out} = 5k\Omega$ 、次段のアナログブロックの入力インピーダンスを $Z_{in} = 50k\Omega$ 、AMP1のオープンループ利得を $A = 1000$ 倍とした場合、信号レベルの変動は、以下に述べるように計算することができる。

【0030】図2は図1のアンプ1がアナログ回路1に接続された時の等価回路である。 Z_{out} は、SW1のインピーダンスにほぼ等しい。 Z_{in} は、アナログ回路の入力インピーダンスとする。 A はアンプ10の増幅率、 V_{in} はアンプ10の+端子の入力で、アンプ10の出力 V_a である。

【0031】

$$\text{図2にて、} V_a = I \cdot (Z_{out} + Z_{in}) \quad (6)$$

$$V_{out} = I \cdot Z_{in} \quad (7)$$

(6)、(7)式から

【0032】

$$\begin{aligned} \text{LEVEL} &= Z_{in} \div \{ (1 \div A + 1) \times \{ Z_{out} \div (1 + A) + Z_{in} \} \} \\ &= \{ 1 \div \{ 1 \div 1000 + 1 \} \} \times 50 \times 10^3 \div \{ (5 \times 10^3 \div (1 + 1000) \end{aligned}$$

0) + 50 × 10³ } = 0.999001 × 0.999900

となり、演算増幅器の利得誤差で0.1%、入力インピーダンスZ_{in}、出力インピーダンスZ_{out}の影響で約0.01%小さくなり、入力インピーダンス、出力インピーダンスの影響はほとんどない。

【0034】本実施の形態によれば、例えば選択信号φ₁がハイレベルになると、スイッチSW_{1A}、SW_{1B}がオンになり、演算増幅器AMP₁の出力信号はアナログ回路1に入力されると共に、演算増幅器AMP₁の非反転入力端子にフィードバックされることによって、アナログ回路1の入力インピーダンスとスイッチSW_{1A}の出力インピーダンスの影響をなくし、アナログ回路1へ入力される信号レベルの変動を抑えることができる。また、本例は、上記効果を得る上で、スイッチSW_{1B}～SW_{nB}を設けて、フィードバック系を形成できる構成にすれば良く、回路のコストを上昇させることはない。

【0035】図3は本発明の第2の実施の形態に関わる半導体集積回路を示すブロック図である。本例の半導体集積回路は、演算増幅器AMP₂からでる複数の出力端子1～nの後段に、アナログ回路1～nを接続しており、又、前記演算増幅器AMP₂の非反転入力端子を選択スイッチSW_{1B}～SW_{nB}を介して前記アナログ回路1～nの入力側に接続している。

【0036】次に本実施の形態の動作について説明する。演算増幅器AMP₂の複数の出力端子（出力1～出力n）は、それぞれのアナログ回路（アナログ回路1～アナログ回路n）に接続され、選択信号（φ₁～φ_n、φ₁～φ_n）により1組が選択される。さらに複数のスイッチ（SW_{1B}～SW_{nB}）は、CMOSトランジスタで構成され、選択信号（φ₁～φ_n、φ₁～φ_n）により、複数のスイッチ（SW_{1B}～SW_{nB}）のうち1組が選択され、演算増幅器AMP₁の帰還ループを形成する。

【0037】選択信号（φ₁～φ_n）のいずれかがハイレベルの時、選択されたアナログ回路に接続されている演算増幅器AMP₂の出力端子から、出力信号が出力される。そして、帰還ループ内のスイッチがオン状態となり、帰還ループが形成される。選択されないアナログ回路に接続されている演算増幅器AMP₂の出力端子は、ハイインピーダンス状態となり、次段のアナログ回路へ出力信号は伝達されず、また帰還ループ内のスイッチもオフ状態となり、帰還ループが形成されない。

【0038】これより、選択された、次段のアナログ回路からみた演算増幅器AMP₂の出力インピーダンスZ_{out}は、スイッチを介してないため、ほぼ0[Ω]となる。よって、信号レベルの変動なく、信号を伝達できる。

【0039】図4は図3に示した演算増幅器AMP₂の

詳細構成例を示した回路図である。バイアス回路6と差動増幅回路7と複数の出力回路11、13、15を有し、第1の出力回路11は、差動増幅回路7の出力と、Pチャネル絶縁ゲート型電界効果型トランジスタ（以下PチャネルMISトランジスタと記す）P₁₁のゲート電極との間に、スイッチとして、ゲート電極に選択信号φ₁を接続したPチャネルMISトランジスタP₁₃が挿入され、差動増幅回路7の出力と、第1の位相補償容量12の入力との間に、スイッチとして、ゲート電極に選択信号φ₁の反転信号φ₁を接続したPチャネルMISトランジスタP₁₄が挿入され、高位電源端子1と、PチャネルMISトランジスタP₁₁のゲート電極との間に、スイッチとして、ゲート電極に選択信号φ₁を接続したPチャネルMISトランジスタP₁₅が挿入され、バイアス回路6の出力と、NチャネルMISトランジスタN₁₂のゲート電極との間に、スイッチとして、ゲート電極に選択信号φ₁を接続したNチャネルMISトランジスタN₁₆が挿入され、低位電源端子2と、NチャネルMISトランジスタN₁₂のゲート電極との間に、スイッチとして、ゲート電極に選択信号φ₁を接続したNチャネルMISトランジスタN₁₇が挿入されて構成されている。

【0040】第2の出力回路13から第nの出力回路15は、第1の出力回路11と同一構成であるため、説明は省略する。

【0041】以下、本実施例の演算増幅器の動作について説明する。動作条件として、一つの出力回路のみが選択されるため、第1の出力回路11のみを選択した時を例として、φ₁がハイレベル、φ₂～φ_nがローレベルとなる時を説明する。

【0042】第1の出力回路11のPチャネルMISトランジスタP₁₃、P₁₄、NチャネルMISトランジスタN₁₆はオン状態となり、PチャネルMISトランジスタP₁₅、NチャネルMISトランジスタN₁₇、はオフ状態となる。第2の出力回路13～第nの出力回路15の、PチャネルMISトランジスタP₂₅～P_{n5}、NチャネルMISトランジスタN₂₇～P_{n7}、はオン状態となり、PチャネルMISトランジスタP₂₃～P_{n3}、P₂₄～P_{n4}、NチャネルMISトランジスタN₁₆～N_{n6}はオフ状態となる。

【0043】これより、差動増幅回路7の出力は、第1の出力回路11のPチャネルMISトランジスタP₁₁のゲート電極と、第1の位相補償回路12に入力され、バイアス回路6の出力は、第1の出力回路11のNチャネルMISトランジスタP₁₂のゲート電極に入力されるので第1の出力回路11の出力端子17に、第1のアナログ回路への信号が出力される。

【0044】そして、第2の出力回路13～第nの出力回路15のPチャネルMISトランジスタP₂₁～P_{n1}のゲート電極には、高位電源が接続され、Nチャネル

MISトランジスタ $N22 \sim Nn2$ のゲート電極には、低位電源が接続され、第2の位相補償回路14～第 n の位相補償回路16には、PチャネルMISトランジスタ $P14$ がオフ状態となり信号が伝達されないため、第2の出力回路13～第 n の出力回路15の出力端子18～出力端子19は、ハイインピーダンス状態となる。

【0045】よって、唯ひとつ選択された出力回路から、次段のアナログ回路へ信号が出力され、選択されない出力回路は、ハイインピーダンス状態となる演算増幅器となる。

【0046】本実施の形態によれば、例えば選択信号 $\phi 1$ がハイレベルになると、 $SW1B$ がオンになり、演算増幅器AMP2の出力信号は出力端子1からアナログ回路1に入力されると共に、演算増幅器AMP1の非反転入力端子にフィードバックされることによって、アナログ回路1の入力インピーダンスとスイッチ $SW1A$ の出力インピーダンスの影響をなくし、アナログ回路1へ入力される信号レベルの変動を抑えることができる。特に本例では、演算増幅器AMP2の出力側がスイッチを介さずアナログ回路1へ接続され、演算増幅器AMP2の出力インピーダンス Z_{out} は、スイッチを介してないため、ほぼ $0[\Omega]$ となり、僅かのフィードバック量にて、上記効果を得ることができると共に、フィードバックをなくしても、前記信号レベルの変動を抑えることができる。

【0047】

【発明の効果】以上詳細に説明したように、本発明の半導体集積回路によれば、コストの増加を招くことなく、アナログ回路に入力される信号レベルの変動を抑えることができる

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わる半導体集積回路を示すブロック図である。

【図2】図1に示した回路の一部等価回路である。

10 【図3】本発明の第2の実施例に係わる半導体集積回路を示すブロック図である。

【図4】図3に示した回路の詳細例を示した回路図である。

【図5】従来の半導体集積回路の構成例を示したブロック図である。

【図6】図5に示した回路の一部等価回路である。

【図7】図5に示した部分回路図である。

【符号の説明】

AMP1、AMP2：演算増幅器

20 SW1～SW n ：スイッチ

SW1A～SW n A：スイッチ

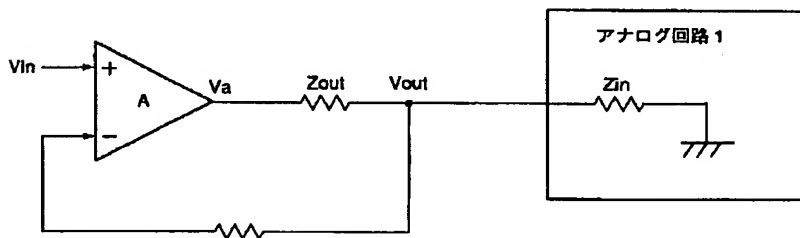
SW1B～SW n B：スイッチ

$\phi 1 \sim \phi n$ ：選択信号

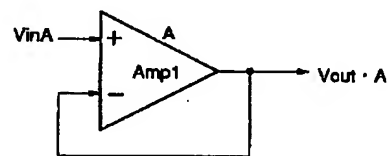
$\phi 1 \sim \phi n$ ：選択信号

アナログ回路1～ n ：アナログ回路

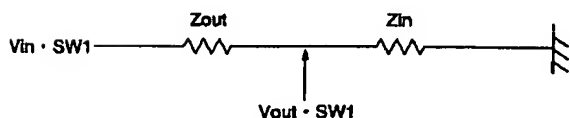
【図2】



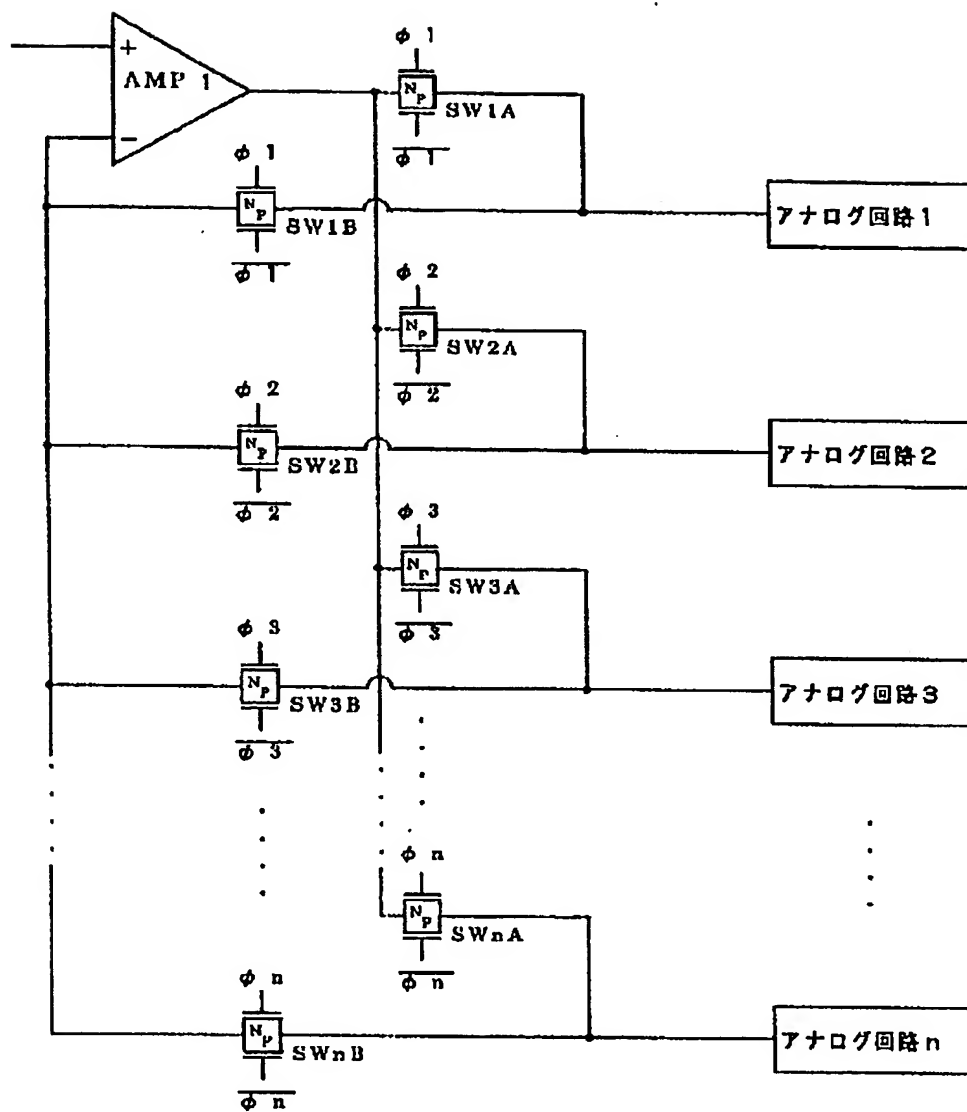
【図7】



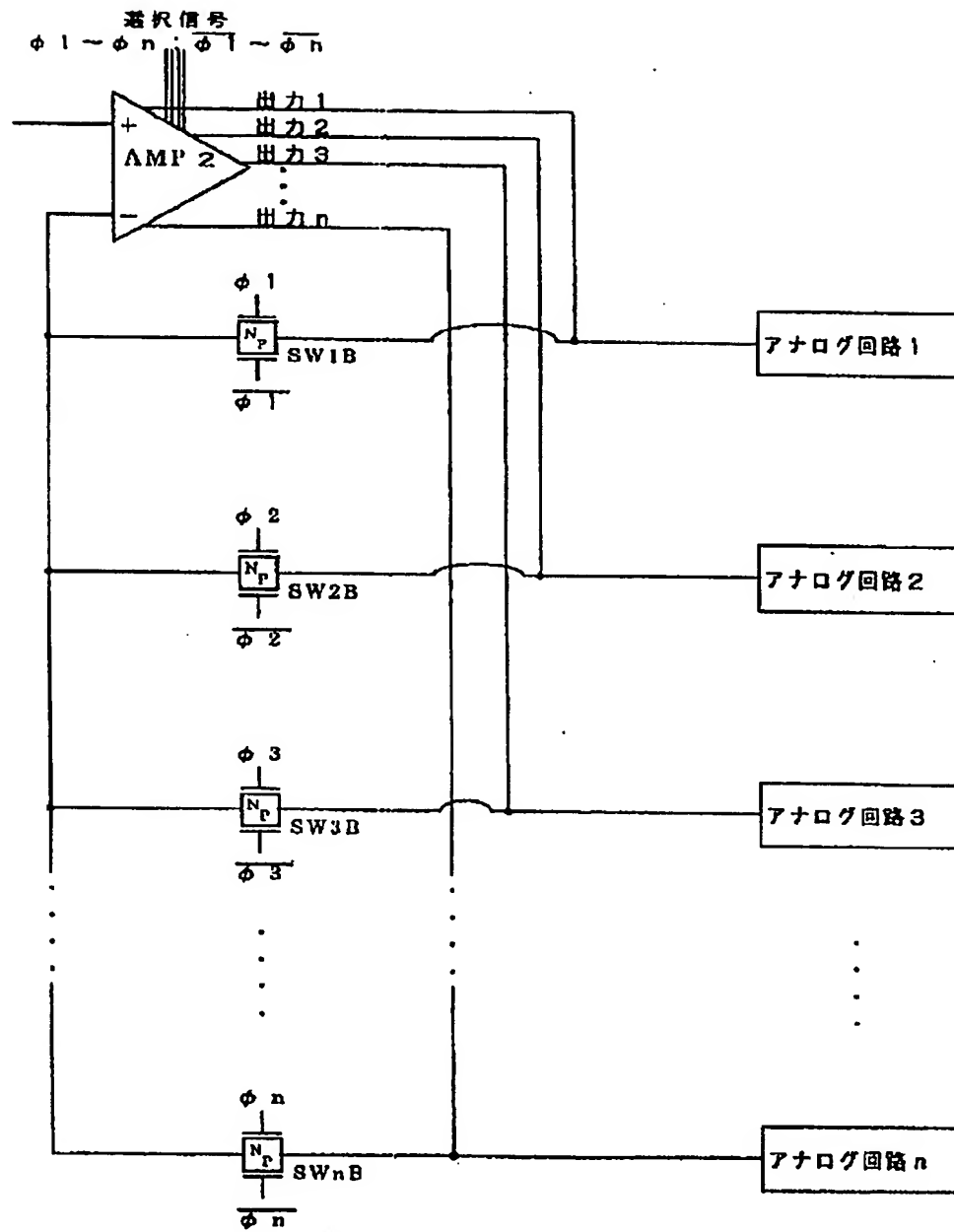
【図6】



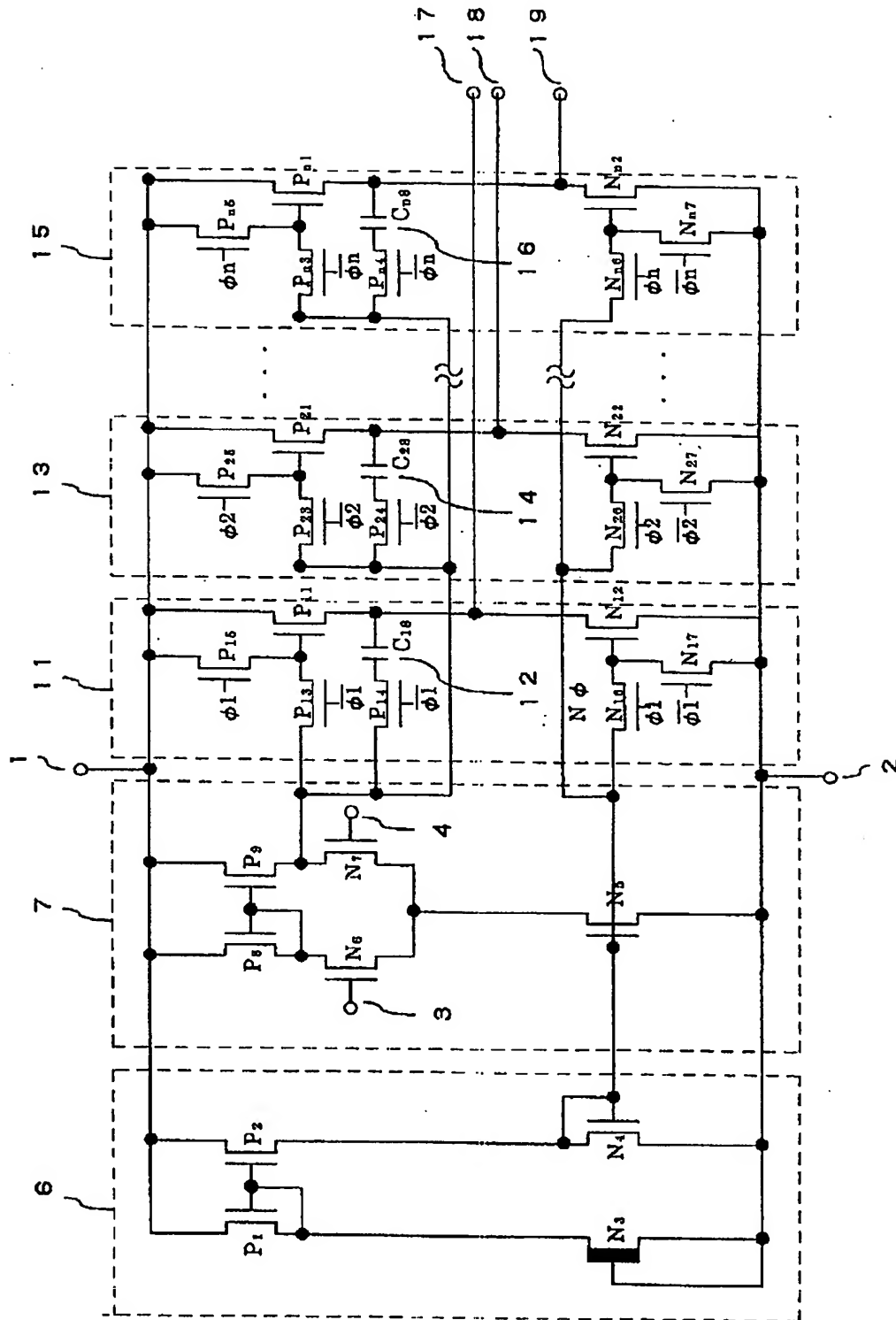
【図 1】



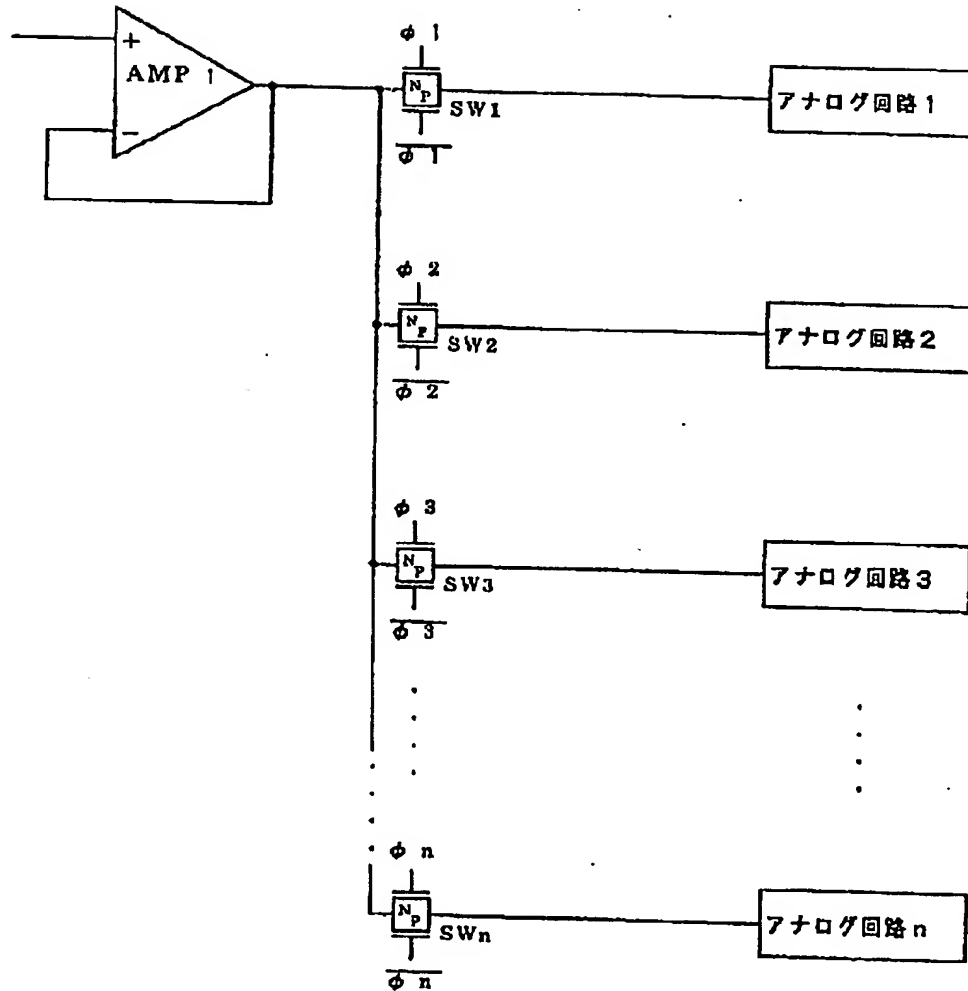
【図 3】



【図 4】



【図 5】



【手続補正書】

【提出日】平成 9 年 1 0 月 2 7 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 非反転入力端子に信号を入力して増幅する演算増幅器と、

入力信号に対して各種処理を施す複数のアナログ回路と、

前記複数のアナログ回路の任意の 1 つを選択して、前記演算増幅器の出力信号を前記選択したアナログ回路に入力する選択回路と、

前記選択回路によって選択されたアナログ回路の入力信号を前記演算増幅器の反転入力端子にフィードバックする選択フィードバック回路とを具備することを特徴とする半導体集積回路。

【請求項 2】 非反転入力端子に信号を入力し、且つ任意に選択される複数の出力回路を有し、選択された出力回路から出力信号を出力する演算増幅器と、前記演算増幅器からの複数の出力回路に 1 対 1 対応で接続され、入力信号に対して各種処理を施す複数のアナログ回路と、前記演算増幅器の出力信号が出力される出力回路に接続されているアナログ回路の入力信号を前記演算増幅器の反転入力端子にフィードバックする選択フィードバック回路とを具備することを特徴とする半導体集積回路。

【請求項 3】 前記演算増幅器の複数の出力回路の中で、信号が出力される出力回路以外の残りの出力回路はハイインピーダンスになることを特徴とする請求項 2 に記載の半導体集積回路。

【請求項 4】 演算増幅器と、前記演算増幅器の出力とアナログ回路の入力間に接続された第 1 のスイッチと、前記演算増幅器の反転入力端子と前記アナログ回路の入力間に接続された第 2 のスイッチとを有し、前記第 1 および第 2 のスイッチとアナログ回路は、任意数有し、選択信号により、前記第 1 および第 2 のスイッチを制御し、任意数のアナログ回路のうち 1 つのアナログ回路に前記演算増幅器の出力を伝達することを特徴とする半導体集積回路。

【請求項 5】 演算増幅器と演算増幅器の出力に接続されたアナログ回路と、前記演算増幅器の反転入力端子と前記アナログ回路の入力間に接続された第 3 のスイッチとを有し、前記第 3 のスイッチとアナログ回路と前記演算増幅器の出力を任意数有し、選択信号により、前記第 3 のス

$$\frac{V_{in\ sw1}}{V_{out\ sw1} \div V_{in\ sw1}} \div (Z_{in} + Z_{out}) = \frac{V_{out\ sw1}}{Z_{in}} \quad (1)$$

$$\frac{V_{out\ sw1}}{V_{in\ sw1}} \div V_{in\ sw1} = Z_{in} \div (Z_{in} + Z_{out}) \quad (2)$$

ここで、図 7 に示すように Ampl の非反転入力端子の入力を V_{in} 、Ampl の出力を V_{out} とすると、以下の式が成り立つ。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

$$LEVEL = \{1 \div (1 \div A + 1)\} \times Z_{in} \div (Z_{in} + Z_{out}) \quad (5)$$

となる。この (5) 式における第 1 項は、演算増幅器 AMP 1 のオープンループ利得 A が有限であることにより生じる利得誤差、第 2 項は入力インピーダンス Z_{in} 、出力インピーダンス Z_{out} により生じる誤差である。

と前記演算増幅器の出力を制御し、任意数のアナログ回路のうち 1 つのアナログ回路に前記演算増幅器の出力を伝達することを特徴とする半導体集積回路。

【請求項 6】 上記演算増幅器はバイアス回路と差動増幅回路と任意数の出力回路を有し、選択信号により前記出力回路を制御し、任意数の出力回路のうち 1 つの出力回路より信号出力し、他の出力回路の出力はハイインピーダンスになることを特徴とする請求項 5 に記載の半導体集積回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】この演算増幅器 AMP 1 のオープンループ利得を A とすると、演算増幅器 AMP 1 に入力されるレベルと次段のアナログ回路に入力される信号レベルの比 $LEVEL$ は、以下のように計算される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】図 5 において、 Z_{out} は、SW1 のインピーダンスにほぼ等しい。 Z_{in} は、アナログ回路の入力インピーダンスとすると、図 5 は図 6 に示すような等価回路で表され、以下の関係が成り立つ。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】

【0012】

$$(V_{in} - V_{out}) \times A = V_{out} \quad (3)$$

$$\frac{V_{out}}{V_{in}} \div \frac{V_{in}}{V_{in}} = 1 \div \{1 + \frac{1}{A}\} \quad (4)$$

ここで、 $V_{out} = \frac{V_{in\ sw1}}{V_{in\ sw1}}$ であるから、(2)、

(4) より、

$$LEVEL = (V_{out} \div \frac{V_{in}}{V_{in}}) \times (\frac{V_{out\ sw1}}{V_{in\ sw1}})$$

この式を変形して、

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】例えば、スイッチ（SW1、SW2・・・SWn）のインピーダンス Z_{out} が $5k\Omega$ 、次段のアナログブロックの入力インピーダンス Z_{in} を $50k\Omega$ 、AMP1のオープンループ利得Aを1000倍とした場合、演算増幅器AMP1の入力レベルと次段のアナログ回路に入力される信号レベルの比は、(5)式より、

$$LEVEL = \{1 \div (1 \div 1000 + 1)\} \times 50 \times 10^3 \div (50 \times 10^3 + 5 \times 10^3) = 0.999001 \times 0.909091$$

となり、演算増幅器AMP1の利得誤差で0.1%、入力インピーダンス Z_{in} 、出力インピーダンス Z_{out} の影響で約9%、合計で約9%の誤差が生じる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】この誤差を小さくするためには、 Z_{out} を小さくしなければならない。図5の場合、次段のアナログブロックの入力インピーダンスに対しスイッチ（SW1、SW2・・・SWn）は十分小さなインピーダンスにする必要があり、必然的にスイッチを形成するトランジスタのチャネル幅を大きくしなければならない。この結果、チップサイズの増加、即ちコストの増加を招くという問題点があった。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】

【課題を解決するための手段】上記目的を達成するために、請求項1の発明は、非反転入力端子に信号を入力して増幅する演算増幅器と、入力信号に対して各種処理を施す複数のアナログ回路と、前記複数のアナログ回路の任意の1つを選択して、前記演算増幅器の出力信号を前記選択したアナログ回路に入力する選択回路と、前記選択回路によって選択されたアナログ回路の入力信号を前記演算増幅器の反転入力端子にフィードバックする選択フィードバック回路とを具備することを特徴とする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】このような構成により、選択回路が複数のアナログ回路の中の一つを選択すると、演算増幅器の出力は選択されたアナログ回路に入力される。これと共

に、前記第2の選択フィードバック回路により前記選択されたアナログ回路の入力側が前記演算増幅器の反転入力端子に接続されてフィードバック系が形成される。このフィードバック系により選択回路のインピーダンスがアナログ回路の入力インピーダンスに比較し充分小さくなくとも前記アナログ回路に入力される信号のレベル変動が抑えられる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】請求項2の発明は、非反転入力端子に信号を入力し、且つ任意に選択される複数の出力回路を有し、選択された出力回路から出力信号を出力する演算増幅器と、前記演算増幅器からの複数の出力回路に1対1対応で接続され、入力信号に対して各種処理を施す複数のアナログ回路と、前記演算増幅器の出力信号が出力される出力回路に接続されているアナログ回路の入力信号を前記演算増幅器の反転入力端子にフィードバックする選択フィードバック回路とを具備することを特徴とする。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】このような構成により、演算増幅器の一つの出力回路が選択されて、この出力回路に接続されるアナログ回路に信号が入力されると、選択フィードバック回路により前記信号が入力されるアナログ回路の入力側が前記演算増幅器の非反転入力端子に接続されてフィードバック系が形成される。このフィードバック系により演算増幅器のインピーダンスがアナログ回路の入力インピーダンスに比較し充分小さくなくとも前記アナログ回路に入力される信号のレベル変動が抑えられる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】請求項3の発明は、前記演算増幅器の複数の出力回路の中で、信号が出力される出力回路以外の残りの出力回路はハイインピーダンスになることを特徴とする。請求項4の発明は、演算増幅器と、前記演算増幅器の出力とアナログ回路の入力間に接続された第1のスイッチと、前記演算増幅器の反転入力端子と前記アナログ回路の入力間に接続された第2のスイッチとを有し、前記第1および第2のスイッチとアナログ回路は、任意数有し、選択信号により、前記第1および第2のスイッ

チを制御し、任意数のアナログ回路のうち1つのアナログ回路に前記演算増幅器の出力を伝達することを特徴とする。

【手続補正 1 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 3

【補正方法】変更

【補正内容】

【0 0 2 3】請求項 5 の発明は、演算増幅器と演算増幅器の出力に接続されたアナログ回路と、前記演算増幅器の反転入力端子と前記アナログ回路の入力間に接続された第 3 のスイッチとを有し、前記第 3 のスイッチとアナログ回路と前記演算増幅器の出力を任意数有し、選択信号により、前記第 3 のスイッチと前記演算増幅器の出力を制御し、任意数のアナログ回路のうち1つのアナログ回路に前記演算増幅器の出力を伝達することを特徴とする。

【手続補正 1 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 5

【補正方法】変更

【補正内容】

【0 0 2 5】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。図 1 は、本発明の半導体集積回路の第 1 の実施の形態の構成を示すブロック図である。本例の半導体集積回路は、演算増幅器 AMP 1 の後段に、

$$V_a = V_{out} \times (Z_{out} + Z_{in}) \div Z_{in} \quad (8)$$

$$\text{一方、} (V_{in} - V_{out}) \times A = V_a \quad (9)$$

(8) を (9) 式に代入する。

【手続補正 1 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 2

$$A \times V_{in} - A \times V_{out} = V_{out} \times Z_{out} \div Z_{in} + V_{out} \quad (10)$$

(10) 式を変形すると、

$$V_{out} \div V_{in} = A \div \{ (Z_{out} \div Z_{in}) + 1 + A \} \quad (11)$$

となり、更に変形して、

$$= Z_{in} \div [\{ (1 + A) \div A \} \times \{ Z_{out} \div (1 + A) + Z_{in} \}] \quad (12)$$

となる。

【手続補正 1 8】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 4

【補正方法】変更

【補正内容】

【0 0 3 4】本実施の形態によれば、例えば選択信号 ϕ 1 がハイレベルになると、スイッチ SW1 A、SW1 B がオンになり、演算増幅器 AMP 1 の出力信号はアナログ回路 1 に入力されると共に、演算増幅器 AMP 1 の反転入力端子にフィードバックされることによって、アナ

選択スイッチ SW1 A ~ SWn A を介してアナログ回路 1 ~ n を接続しており、又、前記演算増幅器 AMP 1 の反転入力端子を選択スイッチ SW1 B ~ SWn B を介して前記アナログ回路 1 ~ n の入力側に接続している。但し、従来例を示した図 5 と同一箇所については同一符号を記し、説明は省略する。

【手続補正 1 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 0

【補正方法】変更

【補正内容】

【0 0 3 0】図 2 は図 1 のアンプ 1 がアナログ回路 1 に接続された時の等価回路である。Zout は、SW1 のインピーダンスにほぼ等しい。Zin は、アナログ回路の入力インピーダンスとする。A はアンプ 1 の増幅率、Vin はアンプ 1 の非反転入力端子の入力で、Va はアンプ 1 の出力である。

【手続補正 1 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 1

【補正方法】変更

【補正内容】

【0 0 3 1】

$$\text{図 2 にて、} V_a = I \times (Z_{out} + Z_{in}) \quad (6)$$

$$V_{out} = I \times Z_{in} \quad (7)$$

(6)、(7) 式から

【補正方法】変更

【補正内容】

【0 0 3 2】

ログ回路 1 の入力インピーダンスとスイッチ SW1 A の出力インピーダンスの影響をなくし、アナログ回路 1 へ入力される信号レベルの変動を抑えることができる。また、本例は、上記効果を得る上で、スイッチ SW1 B ~ SWn B を設けて、フィードバック系を形成できる構成にすれば良く、回路のコストを上昇させることはない。

【手続補正 1 9】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 6

【補正方法】変更

【補正内容】

【0036】次に本実施の形態の動作について説明する。演算増幅器AMP 2の複数の出力端子（出力1～出力n）は、それぞれのアナログ回路（アナログ回路1～アナログ回路n）に接続され、選択信号（ $\phi 1 \sim \phi n$ 、 $\phi 1 \sim \phi n$ ）により1組が選択される。さらに複数のスイッチ（SW1B～SWnB）は、CMOSトランジスタで構成され、選択信号（ $\phi 1 \sim \phi n$ 、 $\phi 1 \sim \phi n$ ）により、複数のスイッチ（SW1B～SWnB）のうち1組が選択され、演算増幅器AMP 2の帰還ループを形成する。

【手続補正20】

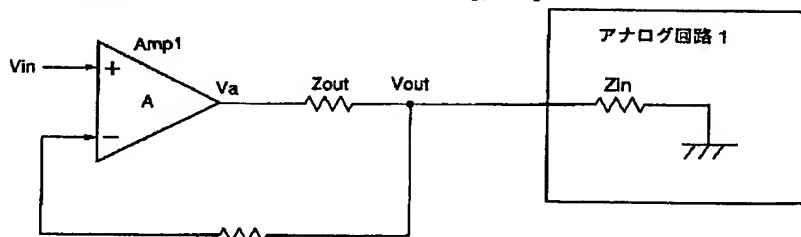
【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】第1の出力回路11のPチャネルMISトランジスタP13、P14、NチャネルMISトランジスタN16はオン状態となり、PチャネルMISトランジスタP15、NチャネルMISトランジスタN17は、オフ状態となる。第2の出力回路13～第nの出力回路15の、PチャネルMISトランジスタP25～Pn5、NチャネルMISトランジスタN27～Pn7、はオン状態となり、PチャネルMISトランジスタP23～Pn3、P24～Pn4、NチャネルMISトランジスタN16～Nn6はオフ状態となる。



【手続補正24】

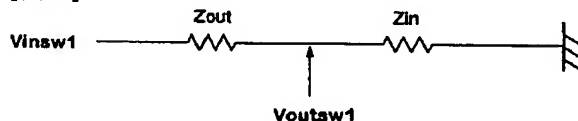
【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正内容】

【図6】



【手続補正25】

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正内容】

【0046】本実施の形態によれば、例えば選択信号 $\phi 1$ がハイレベルになると、SW1Bがオンになり、演算増幅器AMP 2の出力信号は出力端子1からアナログ回路1に入力される。特に本例では、演算増幅器AMP 2の出力側がスイッチを介さずアナログ回路1へ接続され、演算増幅器AMP 2の出力インピーダンスZoutは、スイッチを介してないため、ほぼ0[Ω]となり、信号レベルの変動を抑えることができる。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】図3に示した回路の演算増幅器の詳細例を示した回路図である。

【手続補正23】

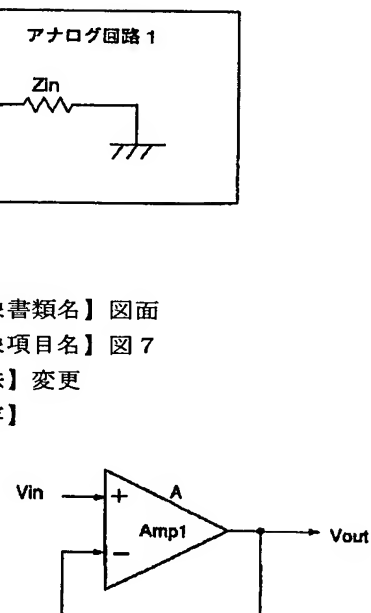
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



【補正対象書類名】図面

【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】